

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232709

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H03K 5/135
G01R 31/28

(21)Application number : 05-296662

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 26.11.1993

(72)Inventor : DICKOL JOHN E

DO DINH LIEN

GRUODIS ALGIRDAS J

(30)Priority

Priority number : 92 985405 Priority date : 04.12.1992 Priority country : US

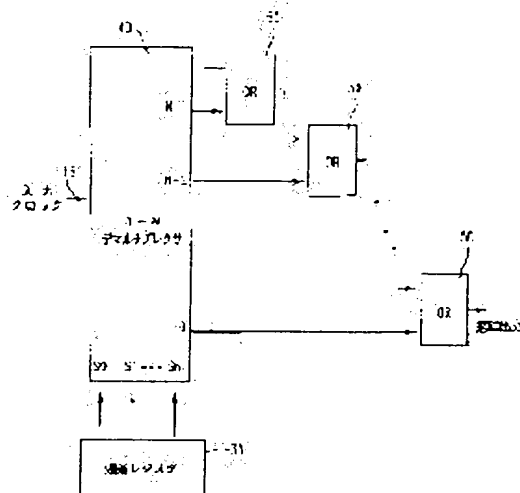
(54) HIGH-RESOLUTION PROGRAMMABLE PULSE GENERATOR

(57)Abstract:

PURPOSE: To make it possible to correct programmable delay in one tester cycle since the propagation interval of a clock signal in a demultiplexer is shorter than a clock cycle and further shorter than the propagation time of N logic gates.

CONSTITUTION: When a demultiplexer 40 is placed in front of a delay chain 50, the clock signal 15 outputs from the demultiplexer 40 and inputs the delay chain 50, so that a delay control bit can be changed immediately.

Then it is not necessary to wait a last pulse to output from the whole delay circuit before a 2nd pulse is impressed, so pulses can be present in the chain within a given time. For example, when a test has a cycle time of 4 nanoseconds, the delay bit is set to 8 nanoseconds in a 1st cycle. The delay of a 2nd cycle is set to 1 nanosecond less than it. Therefore, a 1st pulse is outputted at 8 nanoseconds and a 2nd pulse is outputted (one cycle + program delay)=4+1=5 nanoseconds later, namely, becomes precedent to the 1st pulse, so that there is no dead zone at the start and stop of the test cycle.



LEGAL STATUS

[Date of request for examination] 26.11.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2557185

[Date of registration] 05.09.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 05.09.2002

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-232709

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/135		4239-5 J		
G 0 1 R 31/28		6912-2 G	G 0 1 R 31/ 28	Q

審査請求 有 請求項の数 8 O L (全 14 頁)

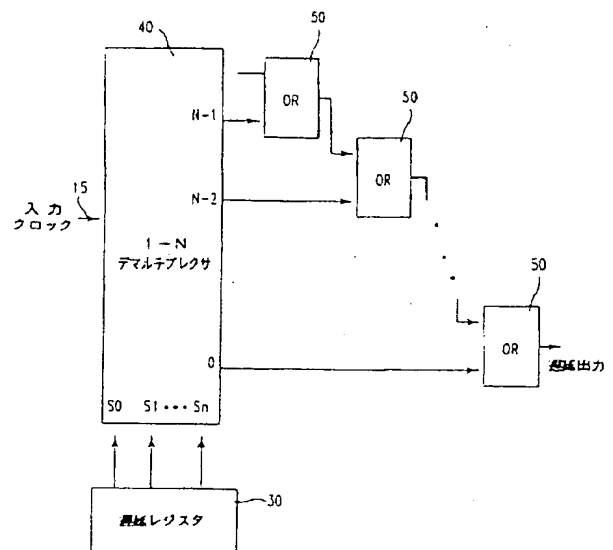
(21)出願番号	特願平5-296662	(71)出願人	390009531
(22)出願日	平成5年(1993)11月26日		インターナショナル・ビジネス・マシーンズ・コーポレーション
(31)優先権主張番号	9 8 5 4 0 5		INTERNATIONAL BUSIN ESS MACHINES CORPO RATION
(32)優先日	1992年12月4日	(72)発明者	ジョン・エドワード・ディコル
(33)優先権主張国	米国(U S)		アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
			アメリカ合衆国12603、ニューヨーク州ボ ーキープシー、ラウンド・ヒル・ロード 17
		(74)代理人	弁理士 合田 潔 (外3名)
			最終頁に続く

(54)【発明の名称】 高解像度プログラマブル・パルス発生器

(57)【要約】

【目的】 それぞれタイミングを「オンザフライ」で変更できる、すなわち1テスト・サイクル内でプログラマブル遅延を修正することができ、既存の遅延回路の制限のない、高解像度プログラマブル遅延回路(HRPDC)を構成単位として使用する、プログラマブル・パルス発生器を提供すること。

【構成】 このパルス発生器は、粗遅延と微細遅延と超微細遅延の3つの構成要素に細分される、タイミング制御アレイと、それぞれタイミング制御アレイによって制御される複数のタイミング発生器と、さらに複数のHRPDCプログラマブル遅延回路と、各サイクル内でパルス遅延及びパルス・エッジを修正するように適当に組み合わせられた固定遅延ブロックを含む。



【特許請求の範囲】

【請求項1】 サイクル時間を有するクロック信号を受け取るための入力と、N個の出力を有する、1-Nデマルチプレクサと、

相互に直列に接続され、それぞれ前記デマルチプレクサの前記N個の出力のうちの1つによって制御される、N個の論理ゲートと、

所定の遅延を定義する信号を受け入れるための入力と、前記デマルチプレクサを駆動して、前記ゲートのうちの少なくとも1つのゲート中を前記クロックを伝播させ、前記N個の論理ゲートのうちの最後の論理ゲートで、前記クロック信号に対して遅延した信号を出力するための出力とを有する、レジスタとを備え、

前記所定の遅延が、前記クロック信号が前記デマルチプレクサ中を伝播するのに必要な時間に等しい時間間隔の後に新しい遅延に再プログラムされ、

前記時間間隔が、前記クロック信号のサイクル時間より小さく、前記クロック信号が前記N個の論理ゲートすべて中を伝播するのに必要な時間より小さいことを特徴とする、

プログラマブル遅延回路。

【請求項2】 t_{total} が前記プログラマブル遅延回路中の遅延であり、

t_{fixed} が前記デマルチプレクサ中の遅延であり、

t_{block} が前記論理ゲートの1つ中の遅延であり、

Sが前記所定の遅延を表す数であるとして、

プログラマブル遅延が

$$t_{total} = t_{fixed} \times (S + 1) + t_{block}$$

であることを特徴とする、請求項1に記載の回路。

【請求項3】 論理ゲートの遅延よりも少なくとも1桁小さな遅延を有し、タイミング・オンザフライ能力を提供する、高解像度プログラマブル遅延回路(HRPDC)であって、

クロックによって提供される信号を受け取るための入力と、出力とを有する、第1の論理ゲートと、

前記第1論理ゲートの出力に接続された入力と、クロックによって提供される信号に対して遅延された信号を提供するための出力とを有する、第2の論理ゲートと、

前記第1論理ゲートの出力に接続され、少なくとも1つの負荷ブロックを備える、負荷手段とを備え、

前記少なくとも1つの負荷ブロックがそれぞれ、負荷入力と制御入力を有し、負荷入力の前記第1論理ゲートの出力に提供され、制御入力、前記第1論理ゲート上の負荷の量を決定し、それによって前記第2論理ゲートの出力で出力される信号がクロックによって提供される信号に対して遅延している遅延の量を制御する制御信号を提供することを特徴とする、

高解像度プログラマブル遅延回路。

【請求項4】 クロック入力と制御入力と出力とを有し、

2^M 個の高解像度プログラマブル遅延回路(HRPD

C)を備える複合高解像度プログラマブル遅延回路であって、

前記各HRPDCが、クロック入力と制御入力と出力とを有し、前記の1つのHRPDCの出力を次のHRPDCのクロック入力に接続することによって前記HRPDCが相互に直列に接続され、前記各HRPDCの各制御入力が相互に接続されて複合回路の制御入力を形成することを特徴とする、複合高解像度プログラマブル遅延回路。

【請求項5】 それぞれ 2^M 個のHRPDCを備え、それぞれクロック入力と制御入力と出力とを有する、N個の複合HRPDCを備える、プログラマブル遅延構造において、

前記複合HRPDCが、前記の1つの複合HRPDCの出力を次の複合HRPDCのクロック入力に接続することによって、相互に直列に接続され、

前記複合HRPDCのうちの最初の複合HRPDCが 2^0 個のHRPDCを含み、第2の複合HRPDCが 2^1 個のHRPDCを含み、前記複合HRPDCのうちのN番目の複合HRPDCが 2^{N-1} 個のHRPDCを含み、

t_{total} が、構造中の遅延であり、

t_{fixed} が、すべてのHRPDC中の最小遅延であり、

t_{HRPDC} が、前記HRPDCの制御入力が所定の2進状態にあるときのHRPDC中の遅延と、制御入力がそれと反対の2進状態にあるときの前記HRPDC中の遅延との差であり、

Dが、活動状態にあるHRPDCの数に対応する数であるとして、

プログラマブル遅延構造が、

$$t_{total} = t_{fixed} + D \times t_{HRPDC}$$

であり、

複合HRPDCの制御入力が最初のHRPDCの制御入力に接続される、

ことを特徴とする、プログラマブル遅延構造。

【請求項6】 さらに、それぞれ入力と出力を有するN-1個の遅延ブロックDlyを備え、

その入力が、所定の遅延を指定する信号を提供し、

m番目のブロックの出力が前記複合HRPDCのうち

(m+1)番目の複合HRPDCの前記制御入力に、前記クロック入力における信号が前記複合HRPDCの前記制御入力と整列するように接続され、

t_0 が前記HRPDCの1つ中の遅延であるとして、

m番目のブロックの遅延が

$$Dly_m = t_0 \times (2^m - 1)$$

であることを特徴とする、請求項5に記載のプログラマブル遅延構造。

【請求項7】 遅延の広い範囲にわたって線形高解像度遅延を提供し、遅延のオーバーラップを提供し、出力パルスを予め定義したエッジをもつように整形するための、プログラマブル・パルス発生器において、

複数の入力と出力とを有し、各入力が、生成すべき所定の遅延を選択するためにそれぞれ当該のデータ線に接続され、アレイがアドレスを決定するためのアドレス線を有する、タイミング制御アレイと、

それぞれクロッキング手段によって駆動されるクロック入力と、前記タイミング制御アレイの出力に接続された複数の制御入力と、前記クロック入力信号に対して遅延された信号を提供する出力とを有する、N個のタイミング発生器と、

N個の入力と出力とを有し、前記各入力がそれぞれ前記N個のタイミング発生器の出力の1つによって駆動され、前記各入力が前記出力における信号の立上りまたは立下りを制御する、データ・フォーマッタとを備え、前記データ・フォーマッタが、前記N個の入力における信号を組み合わせ、前記入力クロック信号に対して遅延された立上り及び立下りを有するパルスを形成することを特徴とする、

プログラマブル・パルス発生器。

【請求項8】論理ゲートの遅延よりも少なくとも1桁小さい遅延を有し、タイミング・オンザフライ能力を提供する、高解像度プログラマブル遅延回路であって、クロックによって提供される信号を受け取るための入力と、クロック信号に対して遅延された信号を提供する1つの出力とを有する、論理ゲートと、

論理ゲートの出力に接続され、少なくとも1つの負荷ブロックを備える負荷手段とを備え、

前記少なくとも1つの負荷ブロックがそれぞれ、負荷入力と制御入力とを有し、負荷入力が論理ゲートの出力に接続され、制御入力が、前記論理ゲート上での負荷の量を決定する制御信号を提供し、それによって前記論理ゲートの出力において出力される信号がクロックによって提供される信号に対して遅延される遅延の量を制御することを特徴とする、高解像度プログラマブル遅延回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に高解像度プログラマブル遅延回路に関し、より詳しくはプログラマブル・パルス発生器に関する。

【0002】

【従来の技術】プログラマブル遅延回路は、当技術分野で周知である。この回路は、超大規模集積回路(VLSI)のテストの分野を中心に様々な応用分野で広く使用されている、通常、テスト・システムは、被験装置(DUT)に対する刺激として使用する、しばしば数ピコ秒ないし数マイクロ秒の範囲の遅延増分を伴う、正確なタイミング信号を発生する必要があることが知られている。

【0003】通常は2ナノ秒ないしそれ以上の範囲の、比較的大きな遅延ステップを発生させるための様々なデジタル技術が提案されてきた。

【0004】Y. E. チャン(Chang)等は、IBMテクニカル・ディスクロージャ・ブルテン、第20巻、第3号(1977年8月)のp.1027で、最高約200MHzまでの周波数で動作することのできるプログラマブル・タイミング発生器を開示している。この回路のサイクル時間は、5ないし2500ナノ秒に連続的にプログラム可能であり、特定のパルス・シーケンスの時間遅延が0ならそのサイクル時間までの値にプログラム可能である。

【0005】Y. E. チャン等はさらに、米国特許第4608706号明細書に、デジタル・カウンタと比較回路を使って、サイクル時間の増分で遅延を発生させる、高速プログラマブル・タイミング発生器を記載している。デジタル・カウンタと比較回路は、通常当技術分野の実務家達が様々な応用分野向けに可変タイミングを得るために使用してきた。

【0006】将来のテスト・システムの第2の要件は、「タイミング・オンザフライ」変更能力であり、これはプログラム式遅延値をテスト・サイクルごとに変化させることと定義される。既存の最小テスト・サイクル時間は2~4ナノ秒程度なので、遅延発生回路がこの速度でのプログラム値の変化に应答できることが不可欠である。既存の遅延回路はこの速さに应答できず、1組の固定遅延発生器のうちから選択を行うにはマルチプレクサ回路などの不格好な配置が必要である。

【0007】この要件を満たすには、タイミング・メモリ、カウンタ、バーニヤを含むかなりの数の回路を追加するしかない。これらの回路は、テスト・ドライバ/負荷/比較回路と直接インターフェースし、全体として10ピコ秒の範囲の解像度でプログラマブル・タイミング事象を発生する。このような回路配置は、EDN、1992年5月21日号に所載の論文"ECL IC integrates 200MHz ATE pin electronics"に記載されており、複数の時間セットを「オンザフライ」で選択し、それによってサイクルごとにタイミングを変化させることができる。

【0008】T. タママ(Tamama)博士の論文"High accuracy ASIC tester", Electronic Product Design、1990年10月号、pp.39-42に記載の別の回路配置は、一連のカスケード式セクタ(またはデマルチプレクサ)とそれに対応する並列経路を示している。各遅延経路は異なる値をもち、設計中に線形性を確保するには細心の注意が必要である。

【0009】この要求の従来技術の回路は、特に高波遅延環境で、遅延をオンザフライで切り換えることができない、あるいは難しいという欠点を有する。

【0010】

【発明が解決しようとする課題】本発明の一目的は、単一の論理ゲートよりもずっと小さな、好ましくは10ピコ秒規模の大きさの遅延増分を生成することである。

【0011】本発明の他の目的は、高解像度プログラマブル遅延を有する回路を提供することである。

【0012】本発明の他の目的は、サイクルごとに遅延値を変更することのできる、すなわちタイミング・オンザフライのタイミング回路を提供することである。

【0013】本発明の他の目的は、複数の高解像度プログラマブル遅延回路を組み合わせ、合計遅延が任意の所定の値に変化する、複合高解像度プログラマブル遅延回路とすることである。

【0014】本発明の他の目的は、複数の前記回路を組み合わせ、正確なタイミング信号を提供し、サイクルごとにパルス・タイミング・パラメータを変えることのできる、プログラマブル・パルス発生器とすることである。

【0015】本発明の他の目的は、校正要件が単純化されたパルス生成回路を設計することにより、テスト・システムの校正に必要な時間と労力の量を最小にすることである。

【0016】

【課題を解決するための手段】本発明は、広い遅延範囲にわたって線形の高解像度遅延を提供し、遅延のオーバーラップを提供し、予め定義した形状のエッジを有する出力パルスを成形するための、プログラマブル・パルス発生器であって、複数の入力と出力を有し、各入力が発生すべき所定の遅延を選択するために当該のデータ線に接続されており、アドレスを決定するためのアドレス線を有するタイミング制御アレイと、それぞれ刻時手段によって駆動されるクロック入力と、タイミング制御アレイの出力に接続された複数の制御入力線と、クロック入力信号に対して遅延された信号を提供するための出力とを有する、N個のタイミング発生器と、N個の入力と1つの出力を有し、各入力がそれぞれN個のタイミング発生器のうちの1つによって駆動され、各入力がそれぞれ出力における信号の立上りまたは立下りエッジの位置を制御し、N個の入力における信号を組み合わせ、入力クロック信号に対して遅延された立上り及び立下りエッジを有するパルスにする、データ・フォーマッタとを備える。

【0017】本発明の上記その他の目的、特徴及び利点は、添付の図面と共に以下の詳細な説明を読めばより良く理解できよう。

【0018】

【実施例】図1は、現況技術のプログラマブル遅延回路の概略図である。複数のゲートまたは遅延ブロック10が互いに直列に接続されている。クロックが入力線15を介して第1の遅延ブロック10に入力信号を提供する。各遅延ブロックの入力は、出力線25を備えるN-1マルチプレクサ20に接続されている。マルチプレクサ20は、遅延レジスタ30によって制御される。

【0019】この回路及び現況技術の他の類似の回路は、遅延ブロックのチェーンの後にマルチプレクサを配置し、そのために回路のタイミング・オンザフライ変更

能力が損なわれるという大きな欠点を有する。この配置を使用する場合、パルスを失いたくなければ、遅延選択ビットを変更する前にマルチプレクサ20からの出力パルスを外に出すが必要になる。遅延チェーンの合計長さが、遅延がそのときに変化しなければならないサイクル時間よりも長い場合は、特にその必要がある。

【0020】次に図2を参照すると、本発明によるプログラマブル遅延回路の概略図が示されている。この回路は、それぞれ2つの入力と1つの出力を備え、互いに接続された、同一またはほぼ同一のORゲート50のチェーンから構成される。各ORゲート50の第1入力は前段の出力に接続され、第2入力はデマルチプレクサ40によって駆動される。デマルチプレクサ40は、入力線15によって供給されるクロック信号によって駆動される。遅延レジスタ30がデマルチプレクサ40を駆動し、デマルチプレクサ40は、選択ビットの制御下で、1つまたは複数のORゲート50を介して入力クロックをステアリングする。選択されたデマルチプレクサの出力にクロック入力15の"1"パルスが現れ、他のすべての（選択されない）デマルチプレクサ出力は"0"レベルに留まる。例を挙げると、デマルチプレクサ40が1-16（4ビット）回路であるとする、2進組合せ"0000"を選択すると、クロックは1つのORゲートを通過し、"0001"を選択すると2つのORゲートを通過するようになり、以下同様である。すなわち、すべてのORゲートが同じ遅延をもつ場合、合計遅延は次式で与えられる。

$$t_{total} = t_{fixed} \times (S + 1) \times t_{block}$$

上式で t_{fixed} はデマルチプレクサ40の固定パルス遅延であり、この固定遅延はどのデマルチプレクサ経路で等しいものと仮定する。 t_{block} は1つのORゲートの遅延である。 S はデマルチプレクサ選択ビット S_0, S_1, \dots, S_n によって形成される2進数の値であり、 S_0 は最下位ビットである。したがって次式が成立する。

【数1】

$$S = \sum_{i=0}^n S_i \times 2^i$$

【0021】入力クロック信号は必ず少なくとも1つのORゲートを通過するので、この値を固定遅延と組み合わせ合計遅延を生成しておくと同都合である。

$$t_{total} = t_{fixed}' + t_{block} \times S$$

ただし、

$$t_{fixed}' = t_{fixed} + t_{block}$$

【0022】当業者なら、工程のばらつきのためにブロック遅延値がチップごとに変化することを完全に理解するであろう。この遅延を測定して補償することができる限り、このことは問題にはならず、そうできることはシミュレーション・ランによって確認されている。さらに、この遅延が入力選択ビット S の1次関数であること

が重要である。それが1次関数であるなら、Sの2つの値について2回遅延測定を行えば、この回路に使用する t_{fixed} と t_{block} が計算できる。 t_{fixed} と t_{block} がわかると、次式が成立する。

$$S = (\text{所望の遅延} - t_{fixed}) / t_{block}$$

または、

$$S = \text{利得} \times \text{所望の遅延} + \text{オフセット}$$

ただし、

$$\text{利得} = 1 / t_{block}, \text{かつ}$$

$$\text{オフセット} = -t_{fixed} / t_{block}$$

【0023】あるいは、デマルチプレクサ40の出力が反転されているならば、図2に示した回路をANDゲートで実施することもできる。このような場合、選択されない出力が"1"となり、クロック入力15における"0"パルスがプログラマブルな個数のANDゲート中を伝播できるようになるはずである。

【0024】デマルチプレクサ40を遅延チェーンの前に置くと、クロック信号がデマルチプレクサから出て遅延チェーンに入るとすぐ、遅延制御ビットが変化できるようになり、第2パルスを注入する前に前のパルスが遅延回路全体から出るのを待つ必要がなくなり、所与の時間に複数のパルスがチェーン内に存在できることになる。あるサイクル中に注入されたパルスが、前のサイクルで注入されたパルスよりも前に遅延回路から出ることすら可能である。例を挙げると、サイクル時間が4ナノ秒のテストを考えてみる。第1サイクルで遅延ビットがそれより大きな値、たとえば8ナノ秒に設定される。第2サイクルの遅延はそれよりも小さな値、たとえば1ナノ秒に設定される。「第1」パルスは8ナノ秒に出力されるが、「第2」パルスは、
1サイクル+プログラム遅延=4+1=5ナノ秒後に、すなわち「第1」パルスよりも前に出る。このため、各テスト・サイクルの開始時と停止時に「デッド・ゾーン」ができる可能性がなくなり、テスト・ベクトル時間をプログラミングする際にかかなりの柔軟性が得られる。

【0025】図2に示した回路は、単一ゲートよりも大きな遅延を生成することができる。しかしこの回路では、非常に微細な遅延は許容されず、特に単一ゲートの伝播遅延よりもずっと小さな遅延は許容されない。この問題を解決するため、図3に示す高解像度プログラマブル遅延回路(HRPDC)を用いると、10ピコ秒という小さな遅延がプログラミングできるようになる。2つの電流スイッチ・エミッタ・フォロウ・インバータ回路(CSEF)100を相互に直列に接続することが好ましい。負荷ブロック150と呼ばれる、CSEF100に類似しているが、エミッタ・フォロウ出力段のない第3の回路が、第1のCSEF段の出力115に接続されている。2つのCSEF回路100中の遅延は、負荷ブロック150の制御入力125における論理値(すなわ

ち2進値)を変えることによって変化させることができる。第1CSEF100の入力(IN)(105)における立上りは、2個のCSEFを接続する出力線115における立下りとなるが、制御入力125が高状態のとき数ピコ秒遅延される。

【0026】制御入力125は3つの電流スイッチ・トランジスタ入力(102、115、125)のうち最も正の電圧なので、制御入力125が高状態のとき、負荷ブロック150の共通エミッタ152も高状態である。ベース115が変化している間、エミッタ152は固定電圧レベルにあるので、トランジスタ151のベース・エミッタ電圧 V_{BE} は強制的に変化する。この電圧遷移は、ベース・エミッタ・キャパシタンスの充電のために有限の時間を要する。

【0027】制御入力125が低状態のとき、出力線115は3つの電流スイッチ・トランジスタ入力(102、115、125)のうち最も正の電圧であり、したがって共通エミッタ点152は自由に入力115を追跡することができる。 V_{BE} は変化がなく、再充電の必要なキャパシタンスはないので、出力線115における立下りは幾分速く降下することができ、入力IN105と出力OUT135を接続する経路中の遅延は小さくなる。入力115が(ノード102で) V_R より下に低下すると、 V_R が電流スイッチへの最も正の電圧入力となり、エミッタ電圧を固定させる。このため、入力トランジスタ V_{BE} が変化して、出力線115における電圧の降下速度が遅くなる。そうなるまでに、第2のCSEFインバータ100への入力が既に閾値電圧 V_R を越え、出力135を切り換えるので、追加の遅延はない。

【0028】図3に示したHRPDCの相対遅延は、複数の入力を備えた負荷ブロック150を使って増加させることができる。この遅延の増加には、次の2つの要因が寄与する。

【0029】a) 追加の入力トランジスタが余分のキャパシタンスを導入する。

【0030】b) 入力トランジスタ間で電流が均等に分割されるので、個々の各ベース・エミッタ・キャパシタンスを放電するのに利用できるエミッタ電流が少なくなる。

【0031】この遅延は負荷ブロック150の論理状態によって制御できるので、遅延が変化する速度は、負荷ブロックがある状態から他の状態に切り換わる速度によって制限される。この時間は通常は数百ピコ秒にすぎず、したがってこの回路は、オンザフライで変化する遅延を必要とする適用例によく適している。

【0032】数ピコ秒から単一論理ゲート程度(すなわち100~200ピコ秒)の範囲の遅延を得るには、図4に示したプログラマブル遅延構造を使用することもできる。複数のHRPDC501が相互に直列に接続される。複合HRPDC(502)は、同じ複合HRPDC

内の各HRPDCの制御入力を接続して、複合制御入力503を形成することによって形成される。第1の複合HRPDC502は、ビット0(B0)によって制御される1つのHRPDCから構成される。第2の複合HRPDCはビット1(B1)によって制御される2個のHRPDCから構成され、以下同様である。各HRPDCの相対遅延値が同じ場合、この回路中の合計遅延は次のようになる。

$$t_{total} = t_{fixed} + D \times t_{HRPDC}$$

上式で、 t_{total} は構造中の遅延、 t_{fixed} はすべてのHRPDC中の最小遅延、 t_{HRPDC} は、制御入力125上の論理レベルが異なるために生じるIN(図3の線105)からOUT(図3の線135)への遅延の差として定義される、1つのHRPDCの相対遅延であり、Dは遅延ビットB0、B1、...、によって形成される2進数の値である。ただし、B0が最下位ビットである。したがって次式が成立する。

【数2】

$$N = \sum_{i=0}^{m-1} B_i \times 2^i$$

【0033】HRPDCの代替実施例では、第2CSEFインバータを省略し、その代わりに単純な非反転CSEF回路を使用する。この代替回路では、所与の遅延範囲を達成するのに使用するゲート数は少なくなるが、*

$$Dly_m = \sum_{i=0}^{m-1} t_{D_i} \times 2^i = t_{D_0} \times (2^m - 1)$$

【0035】遅延制御ビットは、遅延させるべき信号が遅延ネットワークに進入するとすぐ変化させることができる。信号と制御ビットは同じ速度でネットワーク中を伝播する。各制御ビットの遅延を、信号自体の直前にその対応する遅延ブロックに到着するように調節することができる。

【0036】遅延ブロックによって発生する遅延が、工程のばらつきのためにチップ間で変わることは当業者ならすぐ理解できよう。この遅延を測定し補償することができる限り、それは問題にはならない。同じチップ上のすべての遅延要素が同じ遅延を有する場合には、問題はさらに小さい。問題なのは、遅延が入力ビットの線形関数であることである。実際にそうであるなら、簡単な2点測点を行って回路の利得係数及びオフセット係数を計算することができる。これらの係数がわかっている場合、所望の任意の遅延に関するB制御ビットNの値は次式で与えられる。

$$N = \text{利得} \times \text{所望の遅延} + \text{オフセット}$$

【0037】図6を参照すると、前記の遅延回路を利用した、本発明によるプログラマブル・パルス発生器の簡略化した構造図が示されている。

【0038】このプログラマブル・パルス発生器は、それぞれ所与のサイクル内のどこにでもクロック・パルス

*多数のHRPDCを直列に接続するとき、パルス幅の歪みを生じやすくなる。これらの歪みは、ORゲートの長い連鎖によく見られ、当業者には周知の「パルス収縮効果」によって生じる。

【0034】図5は、遅延された制御ビットを有する完全なプログラマブル遅延構造を示す。各HRPDC中の固定遅延を補償し、それによってより高速のタイミング・オンザフライを可能にするため、制御ビットが相互に遅延される。各遅延ブロックD505の遅延は各HRPDCの固定遅延(t_0)に等しく、後者は2つのゲート遅延から構成される。Dlyブロック504、すなわちDly1、Dly2、...、Dly_{m-1}が先行諸段の遅延を補償する(すなわち、Dly1=1× t_0 、Dly2=3× t_0 など)。したがって、高い方の値のビットについて制御ビットに遅延を加えることにより、有効遅延トグル周波数を増大させることができる。この遅延は、各HRPDC中の2個のCSEFインバータによって導入される固定遅延を補償する。あるいは、Dly504はm番目の段より前の複合HRPDC502の固定遅延を補償し、D遅延はm番目の複合HRPDC502中の固定遅延を補償するのに使用する。単一段の固定遅延(たとえば2つのインバータ遅延)を t_0 とすると、m番目の遅延は次式で与えられる。

【数3】

を置くことのできる、複数のタイミング発生器200から構成される。さらに、これは任意のサイクル中にパルスの発生を抑制する。タイミング発生器200は、各発生器200ごとに所望の遅延値を選択する、タイミング制御アレイ210によって駆動される。テスト・パターン発生器からの(入力線205を介した)データを使って、タイミング制御アレイ210のアドレスを生成する。このアレイには、所望のタイミング・セットが事前にロードされている。各テスト・サイクルの始めに、そのサイクルの所望のタイミング・セットを選択するために、タイミング制御アレイ210にアドレスが供給される。タイミング発生器200の出力はデータ・フォーマット220中に供給され、そこで遅延タイミング発生クロック(図示せず)を使用して出力パルスの立上りと立下りを(線225で)生成する。すなわち、データ・フォーマットがタイミング発生器とあいまって、所望のエッジ・タイミングを有する出力パルスを生成する。

【0039】図7は、図6のプログラマブル・パルス発生器の好ましい実施例を示す。各タイミング発生器200は、3つのタイプの遅延要素を組み合わせ、非常に線形な高解像度の遅延レンジを実現する。各遅延要素は、この遅延レンジ全体にわたって、工程のばらつきを補償するのに十分なオーバーラップを備えた線形遅延遷

移関数（相対伝播遅延をデジタル入力に対してプロットすることによって得られる）を生成するように最適化されている。3つの遅延要素とは、入力クロックのサイクル時間をその遅延要素として使用する粗遅延401と、論理ゲートの伝播遅延をその遅延要素として使用する微細遅延403と、デジタル的に制御されるゲート負荷を遅延要素として使用する超微細遅延402である。

【0040】後の2つの要素は以前に開示されている。図7は、それらをどう組み合わせれば、高性能のバルス発生システムが得られるかを示している。その動作を以下の3節に要約する。

【0041】粗遅延

図8に、1つの入力と4つの出力を備える粗遅延回路を示す。カウンタ300が入力クロック105のサイクルをカウントする。比較機構310がカウンタの出力を適当な遅延レジスタ320の内容と比較し、それらが一致するとき出力パルスを（線315に）発生する。このパルスは、入力クロックのDサイクルだけ遅延される。ただし、Dは遅延レジスタ内の値である。遅延解像度は入力クロックの周期である。カウンタ300は、入力クロック105をRRで割る、Nビットの可変モジュラス・カウンタである。ただし、RRは1と 2^N の間の値である。これによって、粗遅延回路315の周波数が制御される。出力周波数またはテスト周波数 f_t は次式で与えられる。

$$f_t = f_o / RR$$

【0042】入力クロック周波数 f_o および反復速度制御RRを変えることにより、所望のどんな出力周波数 f_t を生成することも可能である。微細遅延及び超微細遅延の遅延範囲を最小にするために、 f_o ができるだけ大きいことが望ましい。好ましい実施例では、8ビット・カウンタ（ $N=8$ ）を使用し、2マイクロ秒から4ナノ秒の間のどんなサイクル時間の生成にも十分な125～250MHzの範囲の f_o を用いる。この入力周波数範囲では、粗遅延解像度は4ナノ秒と8ナノ秒の間となる。カウンタの値は $RR-1$ を決して越えないので、所望の遅延を $D \geq RR$ にプログラムすることによって、出力パルスの生成を制御することができる。

【0043】図8の粗遅延回路は、単一のカウンタ300と、それぞれの出力315で多数のプログラマブル粗遅延を生成するようにそれぞれ遅延レジスタ320によって制御される複数の比較機構310とを備える。これによって、粗遅延論理回路の全体寸法が減少する。

【0044】微細遅延

微細遅延回路は、図2に示したプログラマブル遅延回路によって提供される。デマルチプレクサ40が、入力クロック15を1つまたは複数のORブロック50を介して送る。各ORゲートは、同一またはほぼ同じ伝播遅延を有すると仮定する。したがって、線形遅延関数が生じ

る。

【0045】微細遅延は完全なタイミング発生器構造の最終要素として配置するのが最も好都合なことに留意されたい。それは、微細遅延の構造により、クロック・パルスが微細遅延入力に入った直後に、遅延制御ビットが変化できるからである。クロック・パルスが遅延回路から出るのを待つ必要がない。微細遅延の最大遅延はテストのサイクル時間（すなわち、遅延制御ビットが変化する速度）を超えることがあり得るので、微細遅延の後に他の遅延要素があればタイミング・オンザフライの実施が難しくなる。このため、微細遅延を最終要素として置くのが最善である。さらに、微細遅延を最後に置くと、パルスが遅延されて次のサイクルに入り込むことが可能になる。その結果、タイミング・パルスを所与のサイクル内のどこに置けるかの制限がなくなる。

【0046】ORブロック50の数が2の累乗でない場合、（すなわち、未使用のデマルチプレクサ出力がある場合）、無効な遅延値をプログラムすることによって出力パルスを抑制することができる。例を挙げると、45ステップの微細遅延では6個の選択ビットが必要となる（ $2^6=64$ ）。したがって45より大きな遅延数をプログラミングすると出力パルスが抑制できる。

【0047】この回路の好ましい実施例では、各ORブロックごとに2個のNORゲートがステップ当たり合計220ピコ秒使用され、それによってORゲートの長いチェーンの共通のパルス収縮効果が最小になる。解像度を約110ピコ秒より小さく減少させるために、微細遅延の始動時に単一ゲート遅延を経路中に切り換えることができる。この微細遅延の全範囲は約10ナノ秒である。

【0048】超微細遅延

超微細遅延の動作を図3に示す。前述のように、この回路は、デジタル制御のゲート負荷を使用して、10ピコ秒より小さな相対遅延ステップを生成することのできるHRPDCを生成する。図4に示すようなプログラマブル遅延構造を使っていくつかのHRPDCを組み合わせると、HRPDC遅延の任意の整数倍の遅延を得ることができる。超微細遅延の全範囲は、微細遅延の最小ステップ・サイズとオーバーラップするように設計される。好ましい実施例では、超微細遅延の最大範囲は約200ピコ秒であり、単一ORゲートの110ピコ秒の遅延をカバーするのに十二分である。

【0049】出力される前に、データ・フォーマッタはタイミング発生器の出力を使って、出力パルスの立上り及び立下りを位置決めする。典型的なデータ・フォーマッタは、セット／リセット・フリップフロップを使って実施することが好ましい。

【0050】タイミング制御アレイ

タイミング・オンザフライを実施するため、所望のタイミング値をアレイに記憶し、そのアレイの出力で各タイミング発生器200を駆動する（図7参照）。各テスト

・サイクルごとに、パターン発生器がアレイ・アドレスを供給し、そのアドレスを使って、そのサイクルの所望のタイミング値を選択する。

【0051】この概念を実際に実施する際には、悪いときにアレイ出力を変更しないように細心の注意を払わなければならない。そうしないと、タイミング情報が失われて、正しくないテスト出力が生じる可能性がある。これは、既存の（すべてとはいかずとも）大部分のタイミング発生器回路が、テスト・サイクル時間より大きな絶対伝播遅延を有することで説明できる。（絶対遅延とは、最小（ゼロ）相対遅延がプログラムされているときの回路中の遅延をいう）。したがって、制御ビットが新しい値に変化したときに、タイミング・パルスがまだ遅延発生器中で進行中である可能性が高い。これは、予期できない悪い結果を与える可能性がある。この問題を解決する1つの方法は、タイミング発生器セクション中のバルク遅延を補償するために遅延を追加することである。これは一般にかなりのIC表面積を消費する可能性がある。好ましい実施例では、タイミング制御アレイを、タイミング発生器の各主要部分ごとに1つずつ、いくつかの小形アレイ（420、430、440）に区分する。各アレイ（450及び460）のアドレス線に遅延要素を追加する。これらのアドレス遅延要素は、各タイミング発生器要素中の絶対遅延を補償するように調整される。パターン発生器からのビットが既に変化している場合でも、各タイミング発生器要素遅延制御ビットは適切な時間に到着する。

【0052】この方法は、アレイ・アドレス・ビットの数が遅延制御ビットの数より小さいとき、より効率がよい。好ましい実施例では、タイミング制御アレイは、4つのアドレス・ビットによって選択される16のワードを有する。各ワードは、各タイミング発生器ごとに20ビット、1ワード当り合計80ビットを含んでいる。したがって、80の遅延制御ビットに遅延を追加するよりも、4つのアドレス・ビットに追加する方がずっと難しい。

【0053】次に図9を参照すると、前述のプログラマブル・パルス発生器から出力される複数の波形が示されている。4つの信号S1、R1、S2、R2は、4つのタイミング発生器の出力を表す。S1及びS2はデータ・フォーマッタへのセット入力として使われ、出力パルスの立上りの位置を制御する。R1及びR2はデータ・フォーマッタのリセット入力として使われ、出力パルスの立下りの位置を制御する。

【0054】図10に、これらの出力を発生するためのタイミング制御アレイの内容を示す。図10の各行はタイミング制御アレイ中の16のワードの1つに対応し、各ワードが4つのタイミング発生器のうちの1つを制御する。各タイミング発生器はその出力パルスが抑制される（OFFで示す）こともあり、遅延値を有することも

ある。

【0055】図9に示す第1のサイクルは、第1のアレイ・ワード（すなわちアドレス1）を選択した結果を示す。この場合、4つのタイミング発生器出力がすべて抑制され、出力パルスは発生しない。

【0056】第2サイクルは、第2のアレイ・ワード（すなわちアドレス2）を選択した結果を示す。その場合、タイミング発生器S1が時間0にパルスを発生し、それによって時間0にプログラマブル・パルス発生器出力に単一の立上りが生じる。

【0057】第3サイクル（すなわち、アドレス3）では、R1タイミング発生器が時間0にパルスを発生し、それによって時間0に単一の立下りが生じる。ワード2と3を交互に選択することにより、典型的な非ゼロ復帰（NRZ）データ・パターンを発生させることができる。同様に、ワード4及び5もただし時間1ナノ秒にNRZパターンを発生する。ワード6は、同じサイクル内で2つのタイミング発生器を選択することによって、どのように1復帰（R1）フォーマットが生成されるかを示す。最後に、ワード7は4つのタイミング発生器をすべて使って、同じサイクル内に2つのパルスを有する2重パルス・フォーマットを生成する。

【0058】ほんの二三の実施例を詳細に記述したが、頭記の特許請求の範囲で詳細に定義される本発明の範囲内で他の変形があることは当業者には自明であろう。

【図面の簡単な説明】

【図1】従来技術のプログラマブル遅延回路の概略構成図である。

【図2】本発明の第1の好ましい実施例によるプログラマブル遅延回路の概略構成図である。

【図3】標準の論理ゲートを使用してわずか数ピコ秒の相対遅延を生成する、高解像度プログラマブル遅延回路（HRPDC）の概略図である。

【図4】各ブロックが図3の1つのHRPDCを表す、本発明によるプログラマブル遅延構造の概略図である。

【図5】各遅延ブロック中の固定遅延を補償するように制御ビットが遅延され、それによってより速い速度でタイミング・オンザフライ変更が可能になる、遅延された制御ビットをもつ完全なプログラマブル遅延構造の概略構成図である。

【図6】本発明によるプログラマブル・パルス発生器の簡略化した概略構成図である。

【図7】本発明によるプログラマブル・パルス発生器のより詳細な概略構成図である。

【図8】1個のカウンタと複数の比較回路を含む4入力粗遅延回路の概略図である。

【図9】本発明で記述される「タイミング・オンザフライ」を例示する、プログラマブル・パルス発生器のうちの可能な出力波形を示す図である。

【図10】図9によるプログラマブル・パルス発生器の

15

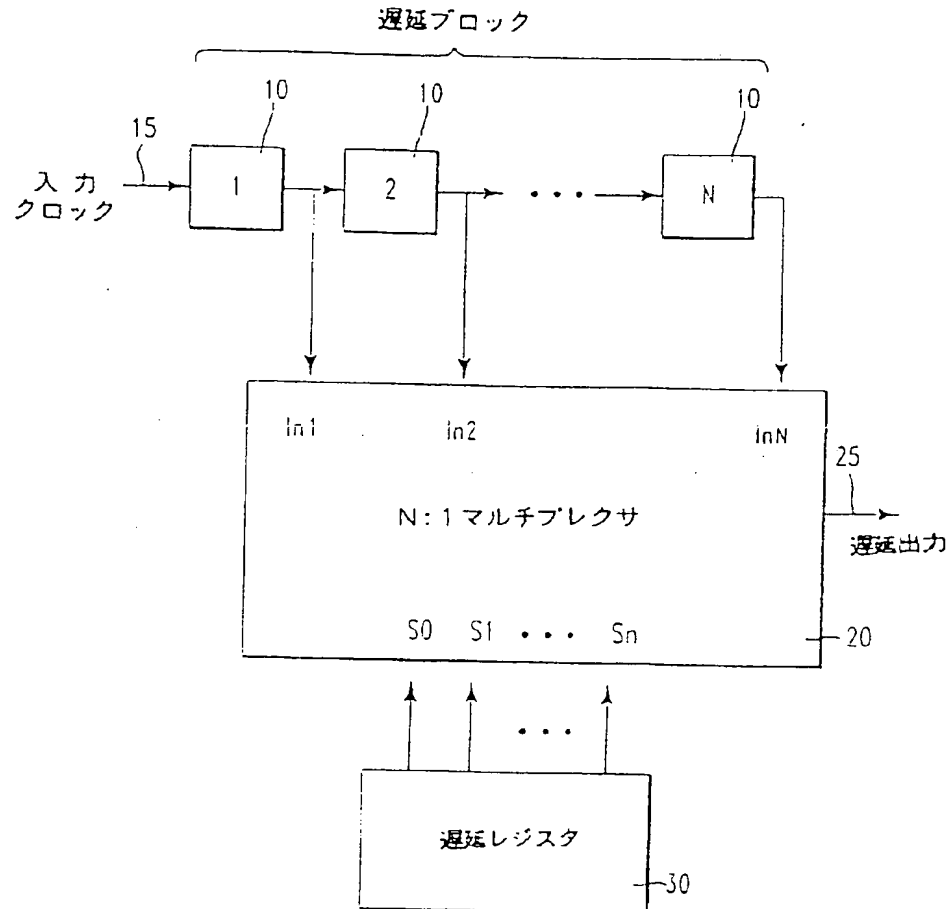
16

出力を発生するためのタイミング制御アレイの内容を示す図である。

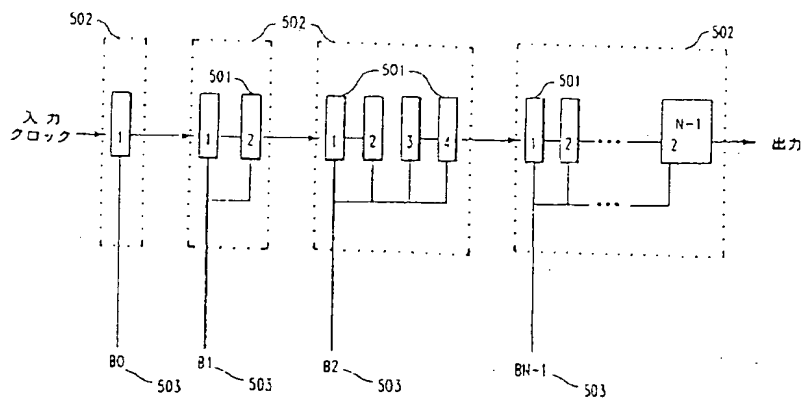
【符号の説明】

3 0 遅延レジスタ
4 0 デマルチプレクサ
5 0 O R ゲート

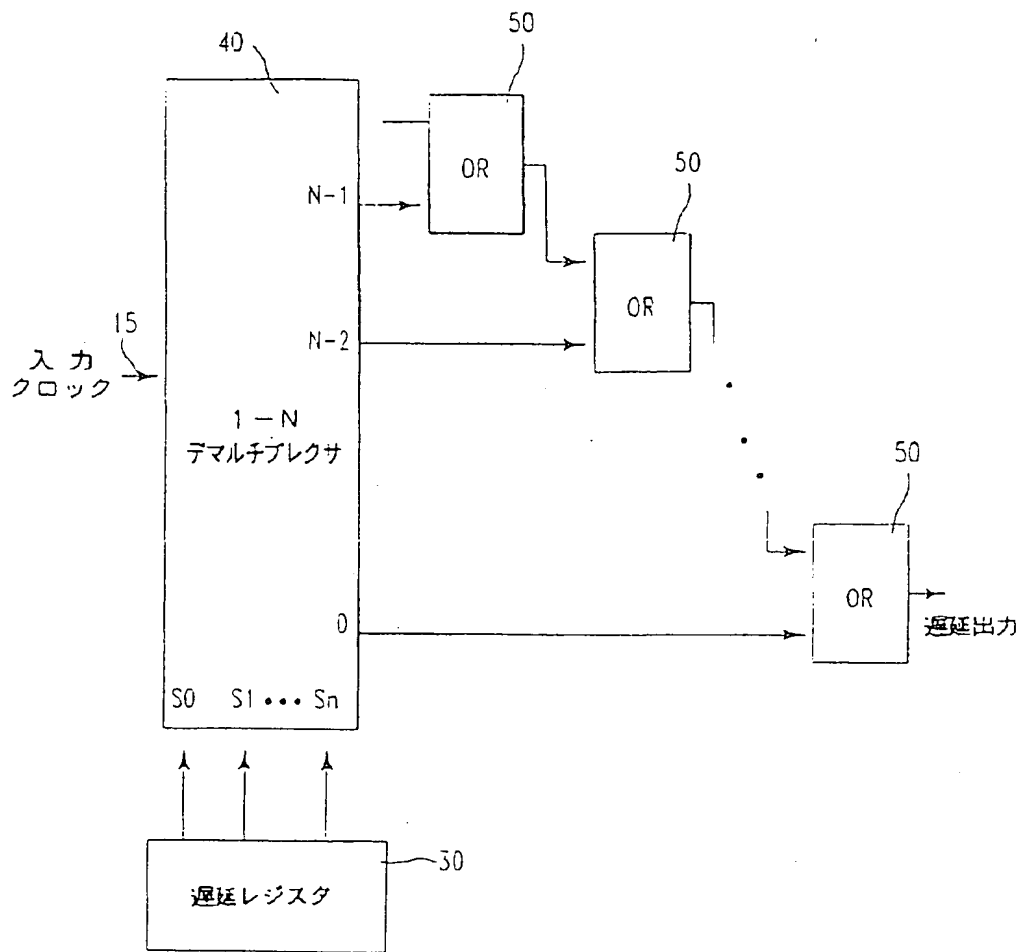
【図 1】



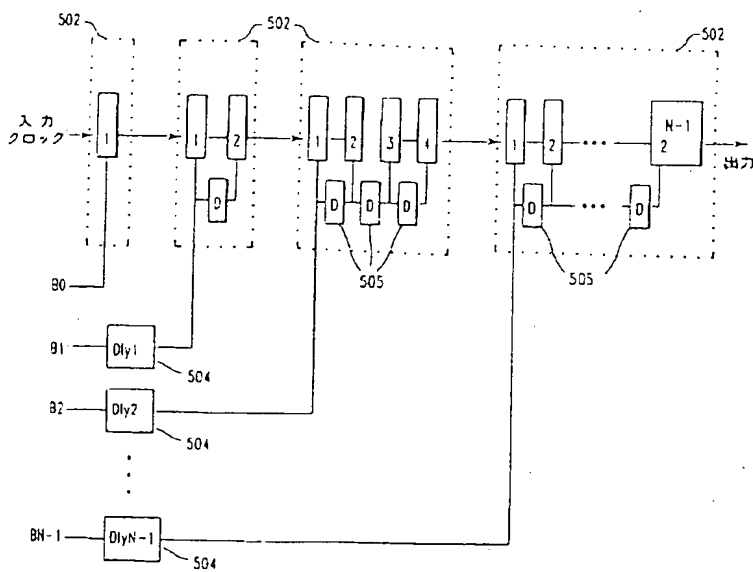
【図 4】



【図 2】



【図 5】

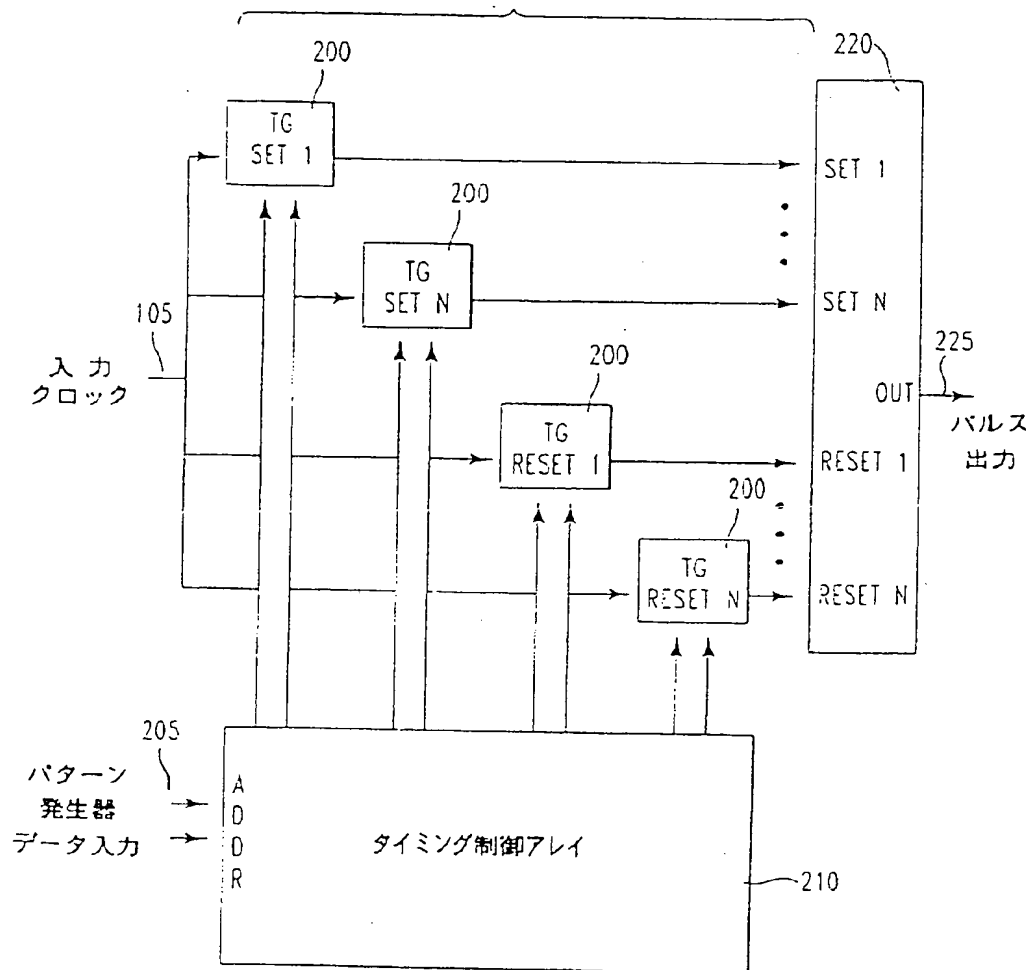


【図 10】

アレイ ワード	Set1	Reset1	Set2	Reset2	ラベル
1	オフ	オフ	オフ	オフ	NOP
2	0	オフ	オフ	オフ	NRZ 1 0ナノ秒
3	オフ	0	オフ	オフ	NRZ 0 0ナノ秒
4	1	オフ	オフ	オフ	NRZ 1 1ナノ秒
5	オフ	1	オフ	オフ	NRZ 0 1ナノ秒
6	1.5	0.5	オフ	オフ	R 1
7	0	1	2	3	Dbl Pla
8	2.0	1.0	オフ	オフ	R 1
9	0	1.6	オフ	オフ	Rz 1.6
10	0	1.8	オフ	オフ	Rz 1.8
11	0	2.0	オフ	オフ	Rz 2.0
12	0	2.2	オフ	オフ	Rz 2.2
13	0	2.4	オフ	オフ	Rz 2.4
14	0	2.6	オフ	オフ	Rz 2.6
15	0	2.8	オフ	オフ	Rz 2.8
16	0	3.0	オフ	オフ	Rz 3.0

Figure 1 is a schematic diagram of a differential signal processing circuit. The circuit includes two CSEF inverters (100 and 150) and a load block (115). The first CSEF inverter (100) has an input IN (105) and an output OUT (135). The second CSEF inverter (150) has an input IN (105) and an output OUT (135). The load block (115) is connected between the outputs of the two CSEF inverters. The circuit is powered by Vcc and Vee. Various resistors (Vr, Vx) and capacitors (C1, C2) are shown.

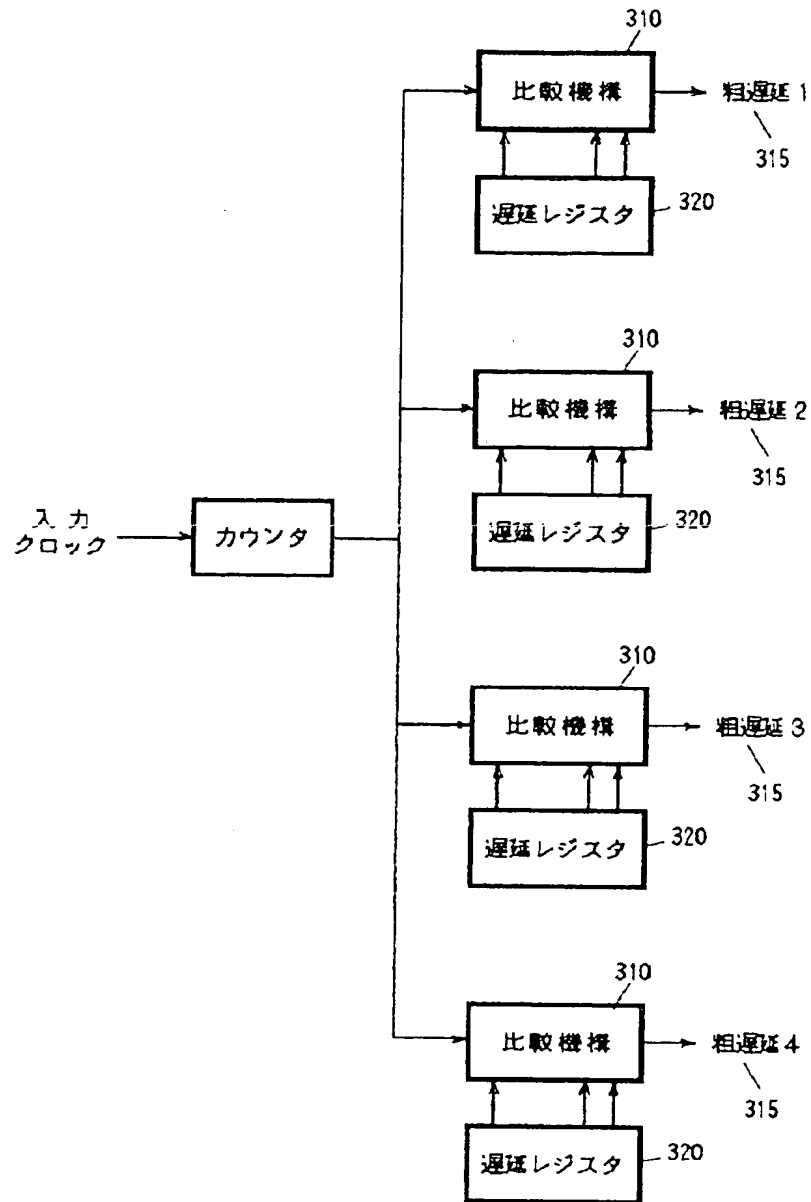
【図6】



【図9】

	アドレス1 NOP	アドレス2 NRZ1 0ナノ秒	アドレス3 NRZ0 0ナノ秒	アドレス4 NRZ1 1ナノ秒	アドレス5 NRZ0 1ナノ秒	アドレス6 R1	アドレス7 Db1 Pls	アドレス7 Db1 Pls
出力								
S1								
R1								
S2								
R2								

【図8】



フロントページの続き

(72)発明者 デイン・リエン・ド
アメリカ合衆国95136、カリフォルニア州
サンノゼ、キャピトル・ビルレッジ・サーク
ル 364

(72)発明者 アルギルダス・ジョーゼフ・グルオデイス
アメリカ合衆国12590、ニューヨーク州ワ
ッピンガーズ・フォールズ、エッジヒル・
ドライブ 52